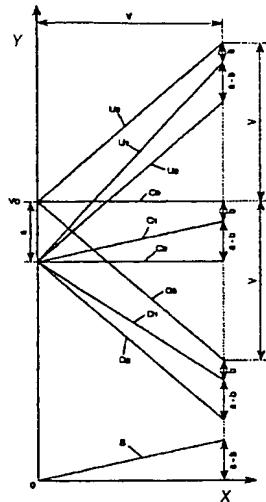


(54) DRIVING CIRCUIT OF ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE

(11) 5-297343 (A) (43) 12.11.1993 (19) JP
 (21) Appl. No. 4-97827 (22) 17.4.1992
 (71) SANYO ELECTRIC CO LTD (72) ICHIJI IKUSHIMA
 (51) Int. Cl^s. G02F1/133, G09G3/36, H01L27/12, H01L29/784

PURPOSE: To realize a complete AC driving without any DC application by subtracting the constant rate of a detected liquid crystal cell applied voltage from the output of the liquid crystal display device driving circuit.

CONSTITUTION: This circuit is provided with a function which detects the voltage applied to a liquid crystal cell from a DC-reproduced video signal, etc., and multiplies the detected liquid crystal cell applied voltage by $(a-b)/v$ to obtain a voltage S (difference voltage between voltage C_1 and constant voltage C_2 shifted from V_c by (a)) and subtracts this value from driving circuit outputs U_o and D_o in advance. Consequently, voltages applied to a source voltage finally are voltage U_2 and D_2 in consideration of a voltage shifted when a scanning pulse applied to a gate electrode rises and when the voltage C_2 is used as a counter electrode voltage, no DC is applied to liquid crystal. Operation for multiplying the detected quantity by the constant is provided by adjusting the gains of a conventional driving circuit, a subtracter, and an adder with the resistance values of operational amplifier circuits constituting the respective circuits.



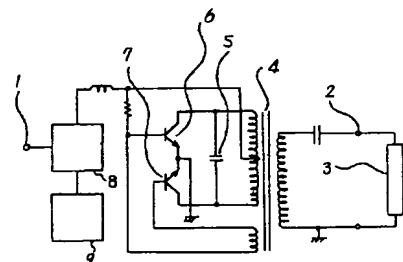
X: liquid crystal driving voltage, Y: driving circuit output voltage

(54) BACK LIGHT FOR LIQUID CRYSTAL PANEL

(11) 5-297344 (A) (43) 12.11.1993 (19) JP
 (21) Appl. No. 4-13573 (22) 29.1.1992
 (71) NEC CORP (72) MITSUHIRO SUZUKI
 (51) Int. Cl^s. G02F1/133, G02F1/1335, G09F13/26

PURPOSE: To reduce an irregularity in brightness on the diffusion plate of the back light by providing an inverter circuit which automatically varies the brightness of a fluorescent tube with a proper brightness variation quantity and a frequency.

CONSTITUTION: When a DC voltage of 12V is applied to an input terminal 1, self-oscillation is caused by a transformer 4, a capacitor 5, and transistor(TR) 6 and 7 and the DC voltage is converted by an AC voltage of 50kHz in frequency. This AC voltage is boosted by the transformer 4 to generate an AC voltage of 1000V at an output terminal 2 and when the fluorescent tube 3 is connected to an output terminal 2 to turn on the tube. When the DC voltage applied to the input terminal 1 is varied, the input energy to the transformer 4 varies, so the AC current flowing through the fluorescent tube 3 varies, so that the brightness of the fluorescent tube 3 varies. A voltage adjusting circuit 8 adjusts the DC voltage applied to the input terminal 1 according to the crest value of the sine voltage waveform that an oscillation circuit 9 generates and sends the voltage to the following-stage inverter circuit. The fluorescent tube brightness, therefore, varies repeatedly and periodically.

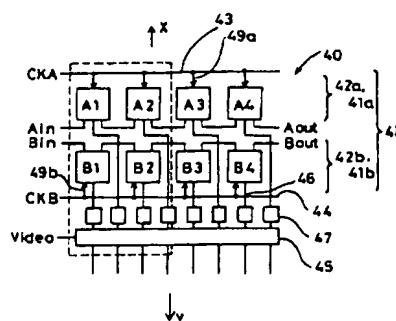


(54) ACTIVE MATRIX PANEL

(11) 5-297345 (A) (43) 12.11.1993 (19) JP
 (21) Appl. No. 4-101520 (22) 22.4.1992
 (71) SEIKO EPSON CORP (72) NORIO OZAWA
 (51) Int. Cl^s. G02F1/133, G09G3/36

PURPOSE: To realize the active matrix panel which can be reduced in the pitch of unit cells on the side of a driving circuit while preventing a shift register from malfunctioning.

CONSTITUTION: As for the source line driving circuit 40 of the active matrix panel, a clock signal line 43 in a series A which supplies a clock signal CKA to a shift register 412a in the series A among shift registers 41 formed between the outer peripheral edge of a substrate and the formation area for a pixel matrix adjoins to a 1st shift register formation area 42a and a clock signal line 44 in a series B which supplies a clock signal CKB to a shift register 41b in the series B adjoins to a 2nd shift register formation area 42b.



(19)日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-297345

(43)公開日 平成5年(1993)11月12日

(51) Int.Cl. ⁵		識別記号	序内整理番号
G 0 2 F	1/133	5 5 0	7820-2K
		5 0 5	7820-2K
G 0 9 G	3/36		7319-5G

F 1

技術表示箇所

審査請求 未請求 請求項の数 6(全 13 頁)

(21)出願番号 特願平4-101520

(71)出願人 000002369

セイコーホームズ株式会社

東京都新宿区西新宿2丁目4番1号

(22)出願日 平成4年(1992)4月22日

(72)発明者 小澤 徳郎

長野県諏訪市大和3丁目3番5号 セイヨウ

エプソン株式会社内

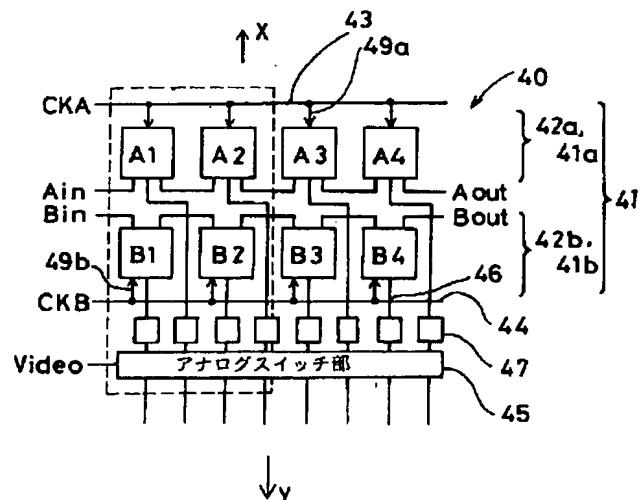
(74)代理人 奥理士 山田 稔

(54)【発明の名称】 アクティブマトリクスパネル

(57) 【要約】

【目的】 シフトレジスタの誤動作の発生を防止しながら、駆動回路側の単位セルの狭ピッチ化が可能なアクティブマトリクスピネルを実現すること。

【構成】 アクティブマトリクスピネルのソース線駆動回路40において、基板の外周縁と画素マトリクスの形成領域との間に形成されたシフトレジスタ41のうち、A系列のシフトレジスタ41aにクロック信号CKAを供給するA系列のクロック信号線43は第1のシフトレジスタ形成領域42aに隣接し、B系列のシフトレジスタ41bにクロック信号CKBを供給するB系列のクロック信号線44は第2のシフトレジスタ形成領域42bに隣接している。



【特許請求の範囲】

【請求項1】 画素マトリクスと同一基板上に形成されて、各画素の表示動作を駆動するソース線駆動回路およびゲート線駆動回路のうちの少なくとも一方側の駆動回路において、そのシフトレジスタは、前記基板の外周縁から前記画素マトリクスの形成領域までの間に並列配置された前記基板の外周縁側の第1のシフトレジスタ形成領域と前記画素マトリクスの形成領域側の第2のシフトレジスタ形成領域とに第1および第2のシフトレジスタとして分割して形成されており、これらのシフトレジスタにクロック信号を供給するクロック信号線のうち、第1のシフトレジスタ形成領域に形成された第1のシフトレジスタにクロック信号を供給する第1のクロック信号線は、前記第1のシフトレジスタ形成領域に対して隣接する位置に並列配置され、前記第2のシフトレジスタ形成領域に形成された第2のシフトレジスタにクロック信号を供給する第2のクロック信号線は、前記第2のシフトレジスタ形成領域に対して隣接する位置に並列配置されていることを特徴とするアクティブマトリクスパネル。

【請求項2】 請求項1において、前記第1のクロック信号線と前記第2のクロック信号線とは、対応する各シフトレジスタ形成領域に対して略等距離を隔てた位置に配置されていることを特徴とするアクティブマトリクスパネル。

【請求項3】 請求項1または請求項2において、前記第1のクロック信号線は前記第1のシフトレジスタ形成領域に対して前記基板の外周縁側に形成され、前記第2のクロック信号線は前記第2のシフトレジスタ形成領域に対して前記前記画素マトリクスの形成領域側に形成されていることを特徴とするアクティブマトリクスパネル。

【請求項4】 請求項1ないし請求項3のいずれかの項において、前記第1および第2のシフトレジスタからのビット信号出力線には、このビット信号出力線を介して前記画素マトリクスの側に向けて送出されるビット信号を遅延させて、前記第1および第2のクロック信号線のうちの前記ビット信号出力線が交差する側のクロック信号線からのノイズの影響を緩和すべきバッファ回路が形成されていることを特徴とするアクティブマトリクスパネル。

【請求項5】 請求項1ないし請求項4のいずれかの項において、前記第1クロック信号線と前記第2のクロック信号線からは位相がずれた系列毎のクロック信号が供給され、これらの系列毎のクロック信号に対応して、前記第1および第2のシフトレジタも系列化されていることを特徴とするアクティブマトリクスパネル。

【請求項6】 請求項1ないし請求項5のいずれかの項において、前記第1および第2のクロック信号線のうちの少なくとも一方側のクロック信号線は、位相がずれた

系列毎のクロック信号が供給される複数のクロック信号線から構成され、これらの系列毎のクロック信号に対応して、前記第1または第2のシフトレジタの側も系列化されていることを特徴とするアクティブマトリクスパネル。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示パネルなどのアクティブマトリクスパネルに関し、特に、その駆動回路側の構造技術に関する。

【0002】

【従来の技術】 液晶の配向状態などをを利用して情報を表示するフラット型表示パネルのうち、アクティブマトリクス方式の液晶表示パネルにおいては、その全体構成を図9にプロック図で示すように、画素マトリクス22、ソース線駆動回路12およびゲート線駆動回路21が同一の透明基板11の上に形成されて、表示装置の小型化、高精細化および低コスト化が図られている。ここで、ソース線駆動回路12はシフトレジスタ13、サンプルホールド回路17、18、19およびビデオ信号線14、15、16を有する一方、ゲート線駆動回路21はシフトレジスタ20および必要に応じてバッファ回路23を有する。また、画素マトリクス22は、ソース線駆動回路12に接続された複数のソース線26、27、28...と、ゲート線駆動回路21に接続された複数のゲート線24、25...と、これらのゲート線およびソース線の交点に形成された複数の画素32、33...を有し、各画素32、33...には薄膜トランジスタ29と液晶セル30とを有する。ここで、ソース線駆動回路12の側には、そのシフトレジスタ13にクロック信号を入力すべきクロック信号線34が配置されている一方、ゲート線駆動回路21の側には、そのシフトレジスタ20にクロック信号を入力すべきクロック信号線37が配置されている。なお、35、36はソース線駆動回路12およびゲート線駆動回路21にスタート信号を入力するスタート信号線である。

【0003】

【発明が解決しようとする課題】 ここで、液晶表示パネルにおいては、その表示品位を高める目的に、画素ピッチを狭小化して、画素の微細化が図られつつあるが、従来のアクティブマトリクスパネルの駆動回路の構造では、駆動回路側の構造の制約があって、画素ピッチを狭小化に限界があるという問題点がある。すなわち、画素32、33...のピッチは駆動回路の単位セルと必然的に同ピッチになるが、ソース線駆動回路12のシフトレジスタ13は、たとえば、1ビット当たり10個の薄膜トランジスタから構成されているので、その形成領域の狭小化に限界がある。

【0004】 また、液晶表示パネルの表示品位を高める目的に、駆動回路の動作速度を高めることも要求されて

いるが、シフトレジスタ12を構成する薄膜トランジスタの動作特性上、薄膜トランジスタの動作周波数を高めて、一定のマージンを確保しながら、ソース線駆動回路12の動作速度を高めることには限界があるため、シフトレジスタ12を多系列駆動する方式が案出されている。ここで、シフトレジスタ12を多系列化するにあたって、前述の問題点、すなわち、ソース線駆動回路12における単位セルの狭ピッチ化に限界があるという問題点をも解消可能なように、本願発明者は、図10(a)および図11に示すように、シフトレジスタ81の形成領域を分割することを提案する。すなわち、第1のシフトレジスタ形成領域82aに単位シフトレジスタA1, A2...からなるA系列のシフトレジスタ81aを形成する一方、第2のシフトレジスタ形成領域82bに単位シフトレジスタB1, B2...からなるB系列のシフトレジスタ81bを形成する。ここで、単位シフトレジスタA1, B1, A2, B2...の機能記号は、図10(b)に示すように、単位シフトレジスタA1において、シフト信号入力Ain, シフト信号出力Aoutおよびビット信号出力が行われることを示す。

【0005】ここで、単位シフトレジスタA1, B1, A2, B2...は、図11に示すように、1つのインバータ2と2つのクロックドインバータ3, 4で構成され、それらをnビット分形成してA系列のシフトレジスタ81aおよびB系列のシフトレジスタ81bが構成される。このような構成のシフトレジスタ81において、A系列のシフトレジスタ81aに対しては、A系列のクロック信号線83からクロック信号CKAを供給する一方、B系列のシフトレジスタ81aに対しては、B系列のクロック信号線84からクロック信号CKBを供給する。また、A系列のクロック信号線83からのクロック信号CKAの位相と、B系列のクロック信号線84からのクロック信号CKBの位相とを90°ずらすことによって、シフトレジスタ81の側から、サンプルホールド回路85のアナログスイッチに向けて高周波数化したビット信号を送出可能とする。なお、A系列のクロック信号線83は、互いに逆相のクロック信号CLA, CLA* (以下、*は逆相を示す。

【0006】)を供給する2つのクロック信号線831, 832から構成され、B系列のクロック信号線84も、互いに逆相のクロック信号CLB, CLB*を供給する2つのクロック信号線841, 842から構成されている。そのうち、クロック信号線831, 841からは奇数番目の単位シフトレジスタA1, A3..., B1, B3...にクロック信号CLA, CLBが入力される一方、クロック信号線832, 842からは偶数番目の単位シフトレジスタA2, A4..., B2, B4...にクロック信号CLA*, CLB*が入力される。また、シフトレジスタ81a, 81bとアナログスイッチ86との間には、ビット信号の同期を調整するた

めのバッファ回路87が2つのインバーター5, 6によって構成されている。このようにして2系列化されたソース線駆動回路80によれば、シフトレジスタ81の薄膜トランジスタ自身の駆動を高周波化することなく、ソース線駆動回路80の動作速度を高めることができ、しかも、単位シフトレジスタA1, B1, A2, B2...のピッチはそのままであるが、2段に形成されているので、実質的には、ソース線駆動回路80の単位セル当たりのピッチが1/2に狭小化された構造であるため、画素ピッチを狭小化できる。さらに、図12に示すように、シフトレジスタ91をA~D系列のシフトレジスタ91a, 91b, 91c, 91dとする一方で、これらに対して、A~D系列のクロック信号CKA, CKB, CKC, CKDを供給する4系列のA~D系列のクロック信号線92, 93, 94, 95を配置することによって、ソース線駆動回路90の動作速度をさらに高めることが可能である。

【0007】しかしながら、図10ないし図12に示すソース線駆動回路80, 90においては、シフトレジスタ81, 91の形成領域の一方側、すなわち、基板の外周縁側にクロック信号線83, 84, 92~95を一括して配置しているため、各クロック信号線83, 84, 92~95からシフトレジスタ81, 91までのクロック信号入力線の配線長さが系列毎に大きく異なるため、クロック信号入力線の配線抵抗の差または寄生容量の差に起因して、シフトレジスタ81, 91に誤動作が生じやすいという新たな問題点がある。すなわち、図10および図11に示す2系列のソース線駆動回路80においては、A系列のクロック信号入力線89aとB系列のクロック信号入力線89bとの間で配線長さが大きく異なり、図12に示す4系列のソース線駆動回路90においては、A系列のクロック信号入力線99a, B系列のクロック信号入力線99b, C系列のクロック信号入力線99cおよびD系列のクロック信号入力線99dの間で配線長さが大きい。また、図10および図11に示す2系列のソース線駆動回路80においては、A系列のシフトレジスタ81の単位シフトレジスタA1, A2, A3...の間をB系列のクロック信号入力線99bが通る構造になってしまふため、A系列のシフトレジスタ81の単位シフトレジスタA1, A2, A3...のピッチを拡張せざるを得ず、ソース線駆動回路80の単位セルのピッチの狭小化に限界がある。このような問題点は、図12に示す4系列のソース線駆動回路90においては、より顕著な問題となる。

【0008】以上の問題点に鑑みて、本発明の課題は、シフトレジスタとクロック信号線との配置構造を最適化して、シフトレジスタの誤動作の発生を防止しながら、駆動回路側の単位セルの狭ピッチ化が可能なアクティブマトリクスピネルを実現することにある。

【0009】

【課題を解決するための手段】上記課題を解決するためには、本発明において講じた手段は、画素マトリクスと同一基板上に形成されて、各画素の表示動作を駆動するソース線駆動回路およびゲート線駆動回路のうちの少なくとも一方側の駆動回路において、そのシフトレジスタを、基板の外周縁から画素マトリクスの形成領域までの間に並列配置された基板の外周縁側の第1のシフトレジスタ形成領域と画素マトリクスの形成領域側の第2のシフトレジスタ形成領域とに第1および第2のシフトレジスタとして分割して形成し、これらのシフトレジスタにクロック信号を供給するクロック信号線のうち、第1のシフトレジスタ形成領域に形成された第1のシフトレジスタにクロック信号を供給する第1のクロック信号線を、第1のシフトレジスタ形成領域に対して隣接する位置に並列配置し、第2のシフトレジスタ形成領域に形成された第2のシフトレジスタにクロック信号を供給すべき第2のクロック信号線を、第2のシフトレジスタ形成領域に対して隣接する位置に並列配置することである。すなわち、シフトレジスタを各形成領域に分割して形成すると共に、各シフトレジスタにクロック信号を供給する各クロック信号線も、互いに分離して、対応するシフトレジスタが形成された領域に隣接するように配置することを特徴とする。

【0010】ここで、第1のクロック信号線と第2のクロック信号線とを、それぞれ、対応する各シフトレジスタ形成領域に対して略等距離を隔てて配置することが好みしい。また、クロック信号線の形成領域とシフトレジスタのシフト信号入出力線の形成領域とが、互いに、他方側の配線形成を制約し合うことを防止する目的に、第1のクロック信号線を第1のシフトレジスタ形成領域に対して基板の外周縁側に形成し、第2のクロック信号線を第2のシフトレジスタ形成領域に対して画素マトリクスの形成領域側に形成することが好みしい。

【0011】さらに、第1および第2のシフトレジスタからのビット信号出力線には、このビット信号出力線を介して画素マトリクスの側に向けて送出されるビット信号を遅延させて、第1および第2のクロック信号線のうち、ビット信号出力線が交差する側のクロック信号線からのノイズの影響を緩和すべきバッファ回路を形成しておくことが好みしい。

【0012】また、第1クロック信号線と第2のクロック信号線からは位相がずれた系列毎のクロック信号を供給する一方、これらの系列毎のクロック信号に対応して、第1および第2のシフトレジタも系列化しておくことが好みしい。また、第1および第2のクロック信号線のうちの少なくとも一方側のクロック信号線を、それぞれ位相がずれた系列毎のクロック信号が供給される複数のクロック信号線から構成すると共に、これらの系列毎のクロック信号に対応して、第1または第2のシフトレジタの側も系列化しておくことが好みしい。

10 【0013】
【作用】上記手段を講じた本発明に係るアクティブマトリクスパネルにおいては、画素マトリクスと同一基板上に形成されたソース線駆動回路またはゲート線駆動回路のシフトレジスタは、基板の外周縁から画素マトリクスの形成領域までの間に並列配置された基板の外周縁側の第1のシフトレジスタ形成領域と画素マトリクスの形成領域側の第2のシフトレジスタ形成領域とに第1および第2のシフトレジスタとして分割して形成されているため、1ビット当たりの単位シフトレジスタが占める面積は従来の構造と同等であっても、シフトレジスタ形成領域が多段に並列する状態に配置されているため、駆動回路の単位セルのピッチとしては狭ピッチ化される。従つて、画素マトリクスの画素ピッチを狭小化して、表示の品位を向上することができる。ここで、シフトレジスタにクロック信号を供給する第1および第2のクロック信号線のうち、第1のクロック信号線は第1のシフトレジスタ形成領域に対して隣接する位置に並列配置され、第2のクロック信号線は第2のシフトレジスタ形成領域に対して隣接する位置に並列配置されているため、各クロック信号線からシフトレジスタまでの配線長さを等しく、また、最短寸法に設計することができる。このため、配線抵抗の差または寄生容量の差に起因してのクロック信号の同期ずれが発生しないので、シフトレジスタに誤動作が生じない。

20 【0014】
【実施例】つぎに、添付図面を参照して、本発明の実施例について説明する。

30 【0015】【実施例1】図1は本発明の実施例1に係るアクティブマトリクスパネル（液晶表示パネル）のソース線駆動回路側のブロック図、図2はそのソース線駆動回路を構成する薄膜トランジスタおよび配線層の配置を示す説明図である。ここで、本例のアクティブマトリクスパネルの全体構成は図9に示したブロック図と同様であって、本例においてはソース線駆動回路側のシフトレジスタおよびクロック信号線の配置に主たる特徴を有するため、以下の説明においては、全体構成の説明は省略して、ソース線駆動回路の構成について詳述する。

40 【0016】これらの図において、本例のアクティブマトリクスパネルのソース線駆動回路40は、図10および図11に示したソース線駆動回路と同様に、その駆動方式が2系列化されている。ソース線駆動回路40は、画素マトリクスおよびゲート線駆動回路（いずれも、図示せず。）と共に同一の透明基板上に形成されて、画素マトリクスの各画素の表示動作を駆動する。また、ソース線駆動回路40は基板の外周縁から画素マトリクスの形成領域までの間に形成されており、本例においては、ソース線駆動回路40のシフトレジスタ41が、基板の外周縁側（矢印Xの方向）の第1のシフトレジスタ形成領域42aと、画素マトリクスの形成領域側（矢印Yの

方向) の第2のシフトレジスタ形成領域42bとに、それぞれ、単位シフトレジスタA1, A2, A3...からなるA系列のシフトレジスタ41a(第1のシフトレジスタ)と、単位シフトレジスタB1, B2, B3...からなるB系列のシフトレジスタ41b(第1のシフトレジスタ)とに分割して形成されている。また、これらのA系列およびB系列のシフトレジスタ41a, 41bにクロック信号CKA, CKBを供給するクロック信号線のうち、A系列のシフトレジスタ41aにクロック信号CKAを供給するA系列のクロック信号線43(第1のクロック信号線)は、第1のシフトレジスタ形成領域41aに対して隣接する位置に並列配置され、B系列のシフトレジスタ41bにクロック信号CKBを供給するB系列のクロック信号線44(第2のクロック信号線)は、第2のシフトレジスタ形成領域42bに対して隣接する位置に並列配置されている。ここで、A系列のクロック信号線43は第1のシフトレジスタ形成領域42aに対して基板の外周縁側(矢印Xの方向)に形成され、B系列のクロック信号線44は第2のシフトレジスタ形成領域42bに対して画素マトリクスの形成領域側(矢印Yの方向)に形成されている。さらに、A系列のクロック信号線43とB系列のクロック信号線44とは、対応する第1または第2のシフトレジスタ形成領域42a, 42bに対して略等距離を隔てた位置にある。そして、A系列のクロック信号線43とA系列のシフトレジスタ41aとはクロック信号入力線49aによって接続され、B系列のクロック信号線44とB系列のシフトレジスタ41bとはクロック信号入力線49bによって接続されている。ここで、A系列のクロック信号線43は第1のシフトレジスタ形成領域42aに対して隣接する位置に並列配置され、B系列のクロック信号線44は第2のシフトレジスタ形成領域42bに対して隣接する位置に並列配置されているため、各クロック信号線43, 44からシフトレジスタ41までのクロック信号入力線49a, 49bの配線長さが、A系列とB系列との間で同寸法、かつ、最短寸法に設計されている。

【0017】また、第2のシフトレジスタ形成領域42bに対して画素マトリクスの形成領域側(矢印Yの方向)においては、シフトレジスタ41から出力されたビット信号を、サンプルホールド部、すなわち、アナログスイッチ部45の側(画素マトリクスの側)に向けて送出するためのビット信号出力線46が形成され、その途中位置には、ビット信号出力線46を介してアナログスイッチ部45の側に向けて送出されるビット信号を遅延させて、ビット信号出力線46が交差するB系列のクロック信号線44からのノイズの影響を緩和すべきバッファ回路47が、図2に示すように2つのインバータ47a, 47bによって構成されている。ここで、ビット信号線46の途中位置において、B系列のクロック信号線44からのノイズの影響を緩和すべきバッファ回路47

としては、図3(a), 図3(b)および図3(c)に示すように、多結晶シリコン層で形成された高抵抗のビット信号出力線46に寄生する抵抗Rと、ビット信号出力線46とアルミニウム配線層たるクロック信号線44との間に介在する層間絶縁膜48によって構成される寄生容量Cを利用してバッファ回路を構成することもできる。また、クロックドゲートなども採用できる。

【0018】なお、本例において、図2に示すように、A系列のクロック信号線43は、互いに逆相のクロック信号CL_A, CL_A*が伝達される2つのクロック信号線431, 432から構成され、B系列のクロック信号線44も、互いに逆相のクロック信号CL_B, CL_B*が伝達される2つのクロック信号線441, 442から構成されている。これらのクロック信号線43, 44のうち、クロック信号線431, 441からは奇数番目の単位シフトレジスタA1, A3..., B1, B3...にクロック信号CL_A, CL_Bが入力され、逆相のクロック信号線432, 442からは偶数番目の単位シフトレジスタA2, A4..., B2, B4...にクロック信号CL_A*, CL_B*が入力される。ここで、A系列およびB系列のシフトレジスタ41a, 41bは、いずれも、図4(a)に示すように、1つのインバータ2と2つのクロックドインバータ3a, 4a(クロックドインバータ3b, 4b)によって、1ビット分の単位シフトレジスタ1(A1, A2, A3..., B1, B2, B3...)が構成されており、そのうち、奇数番目の単位シフトレジスタ1a(A1, A3..., B1, B3...)は、クロック信号CKA, CKBのうち、クロック信号CL_A, CL_Bによって駆動される一方、偶数番目の単位シフトレジスタ1b(A2, A4..., B2, B4...)は、クロック信号CKA, CKBのうち、クロック信号CL_A, CL_Bと逆相のクロック信号CL_A*, CL_B*によって駆動される。すなわち、インバータ2は、図2および図4(b)に示すように、pチャネル型TFT201とnチャネル型TFT202とからなるCMOS構造になっているが、クロックドインバータ3a, 4aは、図2および図4(c)に示すように、2つのpチャネル型TFT301a, 302aとnチャネル型TFT401a, 402aとから構成されてクロック信号CL_A, CL_Bで駆動可能になっており、クロックドインバータ3b, 4bは、図2および図4(d)に示すように、2つのpチャネル型TFT301b, 302bとnチャネル型TFT401b, 402bとから構成されて逆相のクロック信号CL_A*, CL_B*で駆動可能になっている。

【0019】また、A系列のクロック信号線83からのクロック信号CKA(クロック信号CL_A, CL_A*)の位相と、B系列のクロック信号線84からのクロック信号CKBの位相(クロック信号CL_B, CL_B*)とは、図5に示すタイミングチャートのように、90°ず

らしてある。このため、開始信号DXが入力された以降において、A系列のシフトレジスタ41aの奇数番目の単位シフトレジスタ(A1, A3 ...)は、クロック信号CL Aのパルス立ち下がりに対応してビット信号252を出力する一方、A系列のシフトレジスタ41aの偶数番目の単位シフトレジスタ(A2, A4 ...)は、クロック信号CL A*のパルス立ち下がりに対応してビット信号254を出力する。また、B系列のシフトレジスタ41bの奇数番目の単位シフトレジスタ(B1, B3 ...)は、クロック信号CL Bのパルス立ち下がりに対応してビット信号253を出力する一方、B系列のシフトレジスタ41bの偶数番目の単位シフトレジスタ(B2, B4 ...)は、クロック信号CL B*のパルス立ち下がりに対応して、ビット信号255を出力する。そして、ビット信号252～255に基づいて、アナログスイッチ部45の各アナログスイッチが動作して、video1, video2, video3を介して供給された各ビデオ信号Vを各ソース線にホールドする。このため、シフトレジスタ41の薄膜トランジスタの動作を高周波化することなく、ビット信号の実質的な送出タイミングは高周波化されるので、ソース線駆動回路40の動作速度を高めることができる。

【0020】以上のとおり、本例のソース線駆動回路40においては、ソース線駆動回路40のシフトレジスタ41は、基板の外周縁側の第1のシフトレジスタ形成領域42aと画素マトリクスの形成領域側の第2のシフトレジスタ形成領域42bとにA系列のシフトレジスタ41aとB系列のシフトレジスタ41bとして分割して形成され、しかも、第1のシフトレジスタ形成領域42aと第2のシフトレジスタ形成領域42bとが並列する状態に形成されているため、1ビット当たりの単位シフトレジスタA1, B1, A2, B2 ... が占める面積は従来のソース駆動回路と同等であるが、ソース線駆動回路40の単位セルのピッチとしては狭ピッチ化される。従って、画素マトリクスの画素ピッチを狭小化して表示の品位を向上することができる。ここで、シフトレジスタ41にクロック信号CKA(CL A, CL A*), CKB(CL B, CL B*)を供給するA系列およびB系列のクロック信号線43, 44のうち、A系列のクロック信号線43は第1のシフトレジスタ形成領域42aに対して隣接する位置に並列配置され、B系列のクロック信号線44は第2のシフトレジスタ形成領域42bに対して隣接する位置に並列配置されているため、各クロック信号線43, 44からシフトレジスタ41までのクロック信号入力線49a, 49bの配線長さが、A系列とB系列との間で同寸法、かつ、最短寸法に設計されている。このため、配線抵抗の差または寄生容量の差に起因して、クロック信号CKA, CKBの同期がずれるという問題が発生しないので、シフトレジスタ41が誤動作せず、アクティブマトリクスピネルの信頼性が高い。ま

た、A系列のクロック信号線43は第1のシフトレジスタ形成領域42aに対して基板の外周縁側に形成され、B系列のクロック信号線44は第2のシフトレジスタ形成領域42bに対して画素マトリクスの形成領域側(矢印Yの方向)に形成されているため、第1および第2のシフトレジスタ形成領域42a, 42bを、クロック信号入力線49a, 49bが通過しないので、単位シフトレジスタA1, B1, A2, B2 ... を近接し合う状態で形成できる。

10 【0021】【実施例2】図6は本発明の実施例2に係るアクティブマトリクスピネル(液晶表示パネル)のソース線駆動回路側のブロック図であり、図6にはそのシフトレジスタおよびクロック信号線の配置関係を示してある。ここで、本例のアクティブマトリクスピネルの全体構成は、図9に示すブロック図と同様であるため、全体構成の説明は省略する。また、ソース線駆動回路を構成するシフトレジスタ、バッファ回路およびアナログスイッチ部のうち、バッファ回路およびアナログスイッチ部の構成は、実施例1のアクティブマトリクスピネルと同様であって、しかも、シフトレジスタ、バッファ回路およびアナログスイッチ部を構成する回路要素も、実施例1のアクティブマトリクスピネルと同様であるため、本例のアクティブマトリクスピネルについては、図6のブロック図のみに基づいて説明する。

【0022】図6において、本例のアクティブマトリクスピネルのソース線駆動回路50は4系列化されており、ソース線駆動回路50は、画素マトリクスおよびゲート線駆動回路(いずれも、図示せず。)と共に同一の透明基板上に形成されて、画素マトリクスの各画素の表示動作を駆動する。また、ソース線駆動回路50は、基板の外周縁から画素マトリクスの形成領域までの間に形成されており、そのシフトレジスタ51は、基板の外周縁側(矢印Xの方向)の第1のシフトレジスタ形成領域52aと、画素マトリクスの形成領域側(矢印Yの方向)の第2のシフトレジスタ形成領域52bとに分割して形成されている。これらの第1および第2のシフトレジスタ形成領域52a, 52bのうち、第1のシフトレジスタ形成領域52aには、単位シフトレジスタA1, A2 ... からなるA系列のシフトレジスタ51aおよび単位シフトレジスタC1, C2 ... からなるC系列のシフトレジスタ51c(第1のシフトレジスタ)が交互に形成されている一方、第2のシフトレジスタ形成領域52bには、単位シフトレジスタB1, B2 ... からなるB系列のシフトレジスタ51bおよび単位シフトレジスタD1, D2 ... からなるD系列のシフトレジスタ51d(第2のシフトレジスタ)が交互に形成されている。ここで、A系列のシフトレジスタ51aおよびC系列のシフトレジスタ51cに対してクロック信号CKA, CKCを供給するA系列のクロック信号線53およびC系列のクロック信号線54(第1のクロック信号

線) は、第1のシフトレジスタ形成領域51aに対して隣接する位置に並列配置され、B系列のシフトレジスタ51bおよびD系列のシフトレジスタ51dに対してクロック信号CKB, CKDを供給するB系列のクロック信号線55およびD系列のクロック信号線56(第2のクロック信号線)は、第2のシフトレジスタ形成領域51bに対して隣接する位置に並列配置されている。また、A系列のクロック信号線53およびC系列のクロック信号線54は第1のシフトレジスタ形成領域52aに対して基板の外周縁側(矢印Xの方向)に形成されているのに対して、B系列のクロック信号線55およびD系列のクロック信号線56は第2のシフトレジスタ形成領域52bに対して画素マトリクスの形成領域側(矢印Yの方向)に形成されている。ここで、A系列のクロック信号線53(第1のクロック信号線)からA系列のシフトレジスタ51aまでのクロック信号入力線59aの配線長さと、B系列のクロック信号線55(第2のクロック信号線)からB系列のシフトレジスタ51bまでのクロック信号入力線59bの配線長さとは、互いに同寸法に、かつ、最短寸法に設計されている。同様に、C系列のクロック信号線54(第1のクロック信号線)からC系列のシフトレジスタ51cまでのクロック信号入力線59cの配線長さと、D系列のクロック信号線56(第2のクロック信号線)からD系列のシフトレジスタ51dまでのクロック信号入力線59dの配線長さも、互いに同寸法、かつ、最短寸法に設計されている。また、A系列のクロック信号線53とC系列のクロック信号線54とは近接し合って並列していると共に、B系列のクロック信号線55とD系列のクロック信号線56とは近接し合って並列しているため、いずれのクロック信号入力線59a, 59b, 59c, 59dの配線長さも略同寸法になっている。

【0023】なお、第2のシフトレジスタ形成領域52bに対して画素マトリクスの形成領域側(矢印Yの方向)には、シフトレジスタ51の各単位シフトレジスタからビット信号を、サンプルホールド部、すなわち、アナログスイッチ部65の側(画素マトリクスの側)に向けて送出するためのビット信号線66が形成され、その途中位置には、ビット信号出力線66を介してアナログスイッチ部65の側に於て送出されるビット信号を遅延させて、ビット信号出力線66が交差する側のB系列のクロック信号線55およびD系列のクロック信号線56からのノイズの影響を緩和すべきバッファ回路67が、実施例1と同様に、2つのインバータによって構成されている。ここで、ビット信号を遅延させて、ビット信号出力線66が交差する側のB系列のクロック信号線55およびD系列のクロック信号線56からのノイズの影響を緩和すべきバッファ回路67としては、多結晶シリコン配線層で形成された高抵抗のビット信号出力線66に寄生する抵抗と、ビット信号出力線66とアルミニウム

配線層たるB系列およびD系列のクロック信号線55, 56との間に介在する層間絶縁膜によって構成される寄生容量とを利用した回路、またはクロックドゲートなどを利用してもよい。

【0024】なお、本例においても、いずれのクロック信号線53, 54, 55, 56も、互いに逆相のクロック信号を供給する2本のクロック信号線で構成されており、A～D系列のシフトレジスタ51a～51dのうち、奇数番目の単位シフトレジスタA1, C1, B1, 10 D1…と、偶数番目の単位シフトレジスタA2, C2, B2, D2…とは、互いに逆相のクロック信号によって駆動される。また、A系列のクロック信号線53からのクロック信号CKAの位相、B系列のクロック信号線55からのクロック信号CKBの位相、C系列のクロック信号線54からのクロック信号CKCの位相およびD系列のクロック信号線56からのクロック信号CKDの位相は、互いに45°ずつずらして、4系列化しての駆動が可能になっている。このため、シフトレジスタ51を構成する薄膜トランジスタの動作を高周波化することなく、ソース線駆動回路50の動作速度を高めることができる。

【0025】以上のとおり、本例のソース線駆動回路50においても、実施例1と同様に、シフトレジスタ41が基板の外周縁側の第1のシフトレジスタ形成領域52aと画素マトリクスの形成領域側の第2のシフトレジスタ形成領域52bとに、A系列およびC系列のシフトレジスタ51a, 51cと、B系列およびD系列のシフトレジスタ51b, 51cとして分割して形成され、しかも、第1のシフトレジスタ形成領域52aと第2のシフトレジスタ形成領域52bとが並列する状態に形成されているため、1ビット当たりの単位シフトレジスタA1, B1, C1, D1, A2, B2…が占める面積は従来のソース線駆動回路と同等であるが、ソース線駆動回路50の単位セルのピッチとしては狭ピッチ化される。従って、画素マトリクスの画素ピッチを狭小化して、表示の品位を向上することができる。ここで、A系列～D系列のクロック信号線53～56のうち、A系列およびC系列のクロック信号線53, 54は、第1のシフトレジスタ形成領域52aに対して隣接する位置に並列配置され、B系列およびD系列のクロック信号線55, 56は、第2のシフトレジスタ形成領域52bに対して隣接する位置に並列配置されているため、各クロック信号線53～56からシフトレジスタ41までのクロック信号入力線59a～59dの配線長さが、各系列間で同寸法、かつ、最短寸法に設計可能である。このため、配線抵抗の差または寄生容量の差に起因してのクロック信号CKA, CKB, CKC, CKDの同期のずれが発生する事がない。それ故、シフトレジスタ51に誤動作が生じず、アクティブマトリクスピネルの信頼性が高い。

【0026】なお、図7に示すように、B系列およびD系列のシフトレジスタ51b, 51dからアナログスイッチ65の側へのビット信号出力線66aを、第2のシフトレジスタ形成領域42bから、一旦、基板の外周縁側（矢印Xの方向）に向けて延出させ、そこから、アナログスイッチ65の側に向けて延出させることによって、B系列およびD系列のシフトレジスタ51b, 51dからアナログスイッチ65の側へのビット信号出力線66aの配線長さと、A系列およびC系列のシフトレジスタ51a, 51cからアナログスイッチ65の側へのビット信号出力線66bの配線長さとを略同寸法に合わせることによって、ビット信号の同期のずれを抑えることもできる。

【0027】【実施例3】図8は本発明の実施例に係るアクティブマトリクスパネル（液晶表示パネル）のソース線駆動回路側のブロック図であり、図8にはそのシフトレジスタおよびクロック信号線の配置関係を示してある。ここで、本例のアクティブマトリクスパネルの全体構成も、図9に示すブロック図と同様であるため、全体構成の説明は省略する。また、ソース線駆動回路を構成するシフトレジスタ、バッファ回路およびアナログスイッチ部のうち、バッファ回路およびアナログスイッチ部の構成は、実施例1のアクティブマトリクスパネルと同様であって、しかも、シフトレジスタ、バッファ回路およびアナログスイッチ部を構成する回路要素も、実施例1のアクティブマトリクスパネルと同様であるため、本例のアクティブマトリクスパネルについては、図8のブロック図のみに基づいて説明する。

【0028】図8において、本例のソース線駆動回路70は1系列の駆動方式であって、ソース線駆動回路70は、画素マトリクスおよびゲート線駆動回路（いずれも、図示せず。）と共に同一の透明基板上に形成されて、画素マトリクスの各画素の表示動作を駆動する。また、ソース線駆動回路70は、基板の外周縁から画素マトリクスの形成領域までの間に形成されており、本例においては、そのシフトレジスタ71は、基板の外周縁側の第1のシフトレジスタ形成領域72aと画素マトリクスの形成領域側の第2のシフトレジスタ形成領域72bとに分割されて形成されている。すなわち、第1および第2のシフトレジスタ形成領域72a, 72bのうち、第1のシフトレジスタ形成領域72aには、クロック信号CKAによって駆動される単位シフトレジスタA1, A4, A5...からなる第1のシフトレジスタ71aが形成されている一方、第2のシフトレジスタ形成領域72bには、同じクロック信号CKAによって駆動される単位シフトレジスタA2, A3, A6...からなる第2のシフトレジスタ71bが形成されている。ここで、第1のシフトレジスタ51aには第1のクロック信号線73からクロック信号CKAが供給され、この第1のクロック信号線73は第1のシフトレジスタ形成領域

71aに対して隣接する位置に並列配置されている。一方、第2のシフトレジスタ71bには第2のクロック信号線74からクロック信号CKAが供給され、この第2のクロック信号線74は第2のシフトレジスタ形成領域71bに対して隣接する位置に並列配置されている。また、第1のクロック信号線73は第1のシフトレジスタ形成領域72aに対して基板の外周縁側（矢印Xの方向）に形成され、第2のクロック信号線74は第2のシフトレジスタ形成領域72bに対して画素マトリクスの形成領域側（矢印Yの方向）に形成されている。さらに、第1のクロック信号線73から第1のシフトレジスタ71aまでのクロック信号入力線79aの配線長さと、第2のクロック信号線74から第2のシフトレジスタ71bまでのクロック信号入力線79bの配線長さとは、互いに同寸法、かつ最短寸法に設計されている。また、第2のシフトレジスタ形成領域72bに対して画素マトリクスの形成領域側（矢印Yの方向）には、シフトレジスタ71からのビット信号をアナログスイッチ部75の側（画素マトリクスの側）に向けて送出するためのビット信号線76が形成され、その途中位置には、ビット信号出力線76を介してアナログスイッチ部75の側にかけて送出されるビット信号を遅延させて、ビット信号出力線76が交差する第2のクロック信号線74からのノイズの影響を緩和すべきバッファ回路77が、実施例1と同様に、2つのインバータなどによって構成されている。

【0029】なお、本例においても、第1および第2のシフトレジスタ71a, 71bは、いずれも実施例1と同様な回路要素から構成されている一方、いずれのクロック信号線73, 74も、互いに逆相のクロック信号を供給する2本のクロック信号線で構成されて、第1のシフトレジスタ71aと第2のシフトレジスタ71aとを逆相のクロック信号によって駆動可能になっている。ここで、第1および第2のクロック信号線73, 74のいずれもを1本のクロック信号線で構成することもできるが、第1および第2のクロック信号線73, 74を互いに逆相のクロック信号に対応する2本のクロック信号線で構成することによって、クロック信号線間の寄生容量などを等価にして、一方側のクロック信号が他方側のクロック信号に比して遅延してしまうことを防止している。

【0030】以上のとおり、本例のソース線駆動回路70においても、シフトレジスタ71は、基板の外周縁側の第1のシフトレジスタ形成領域72aと、画素マトリクスの形成領域側の第2のシフトレジスタ形成領域72bとに分割してあり、しかも、第1のシフトレジスタ形成領域72aと第2のシフトレジスタ形成領域72bとが並列する状態に形成されているため、1ビット当たりの単位シフトレジスタA1, A2, A3...が占める面積は従来のソース駆動回路と同等であるが、ソース

線駆動回路70の単位セルのピッチとしては狭ピッチ化される。従って、画素マトリクスの画素ピッチを狭小化して、表示の品位を向上することができる。ここで、第1のクロック信号線73は第1のシフトレジスタ形成領域72aに対して隣接する位置に並列配置され、第2のクロック信号線74は第2のシフトレジスタ形成領域72bに対して隣接する位置に並列配置されているため、各クロック信号線73、74からシフトレジスタ41までのクロック信号入力線79a、79bの配線長さが、各系列間で同寸法、かつ、最短寸法に設計されている。このため、配線抵抗の差または寄生容量の差に起因してのクロック信号CKAの同期ずれが発生しない。それ故、シフトレジスタ71に誤動作が生じないので、アクティブマトリクスピネルの信頼性が高い。

【0031】

【発明の効果】以上のとおり、本発明に係るアクティブマトリクスピネルにおいては、第1および第2のシフトレジスタ形成領域に分割形成された第1および第2のシフトレジスタにクロック信号を供給する信号線は、それぞれ、クロック信号を供給するシフトレジスタが形成されたシフトレジスタ形成領域に対して隣接して並列配置されていることに特徴を有するため、以下の効果を奏する。

【0032】① シフトレジスタは、基板の外周縁から画素マトリクスの形成領域までの間に並列配置された第1および第2のシフトレジスタ形成領域に分割して形成されているため、駆動回路の単位セルのピッチは狭小化される。従って、画素マトリクスの画素ピッチを狭小化して表示の品位を向上することができる。

【0033】② 第1のクロック信号線は第1のシフトレジスタ形成領域に隣接して並列配置され、第2のクロック信号線は第2のシフトレジスタ形成領域に隣接して並列配置されているため、各クロック信号線からシフトレジスタまでの配線長さを等しく、また最短寸法に設計できる。このため、配線抵抗の差や寄生容量の差異に起因してのクロック信号の同期のずれが発生しにくいので、シフトレジスタが誤動作せず、アクティブマトリクスピネルの信頼性が高い。

【0034】③ シフトレジスタからのビット信号出力線にバッファ回路を形成した場合には、交差するクロック信号線からのノイズの影響が緩和されるので、表示のちらつきなどが発生しない。

【0035】④ 第1および第2のシフトレジスタを複数に系列化した場合には、それを構成する回路要素の動作を高周波化せずとも、駆動回路自身の動作速度が高まる。

【図面の簡単な説明】

【図1】本発明の実施例1に係るアクティブマトリクスピネルにおけるソース線駆動回路の各構成部分の配置を示すブロック図である。

【図2】図1に示すソース線駆動回路を構成する薄膜トランジスタおよび配線層の配置関係を示す説明図である。

【図3】図1に示すソース線駆動回路に用いたバッファ回路の変形例を示す説明図であって、(a)はビット信号出力線とクロック信号線との交差部の平面図、(b)はその断面図、(c)はそれに寄生する抵抗および容量によって構成したバッファ回路の構成図である。

【図4】(a)は図1に示すソース線駆動回路のシフトレジスタを構成を示すブロック図、(b)はそのシフトレジスタに用いたインバータの構成図、(c)および(d)はそのシフトレジスタに用いたクロックドインバータの構成図である。

【図5】図1に示すソース線駆動回路の各部に入出力される信号のタイミングチャート図である。

【図6】本発明の実施例2に係るアクティブマトリクスピネルにおけるソース線駆動回路の各構成部分の配置を示すブロック図である。

【図7】本発明の実施例2の変形例に係るアクティブマトリクスピネルにおけるソース線駆動回路の各構成部分の配置を示すブロック図である。

【図8】本発明の実施例3に係るアクティブマトリクスピネルにおけるソース線駆動回路の各構成部分の配置を示すブロック図である。

【図9】アクティブマトリクスピネルの全体構成を示すブロック図である。

【図10】(a)は参考例に係るアクティブマトリクスピネルの2系列化されたソース線駆動回路のブロック図、(b)はそれを構成するシフトレジスタの機能を示す説明図である。

【図11】図10に示すアクティブマトリクスピネルの2系列化されたソース線駆動回路の各構成部分の機能を示すブロック図である。

【図12】参考例に係るアクティブマトリクスピネルの4系列化されたソース線駆動回路側のブロック図である。

【符号の説明】

11 . . . 透明基板

12, 40, 50, 70, 80, 90 . . . ソース線駆動回路

13, 20, 41, 51, 71, 81, 91 . . . シフトレジスタ

17, 18, 19 . . . サンプルホールド回路

21 . . . ゲート線駆動回路

22 . . . 画素マトリクス

24, 25 . . . ゲート線

26, 27, 28 . . . ソース線

29 . . . 薄膜トランジスタ

30 . . . 液晶セル

50 34, 37, 83, 84, 92~95 . . . クロック信

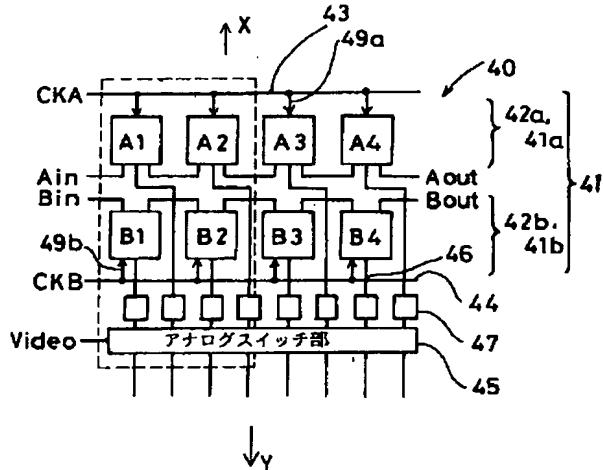
号線

41a, 51a . . . A系列のシフトレジスタ (第1のシフトレジスタ)
 41b, 51b . . . B系列のシフトレジスタ (第2のシフトレジスタ)
 42a, 52a, 72a . . . 第2のシフトレジスタ形成領域
 42b, 52b, 72b . . . 第2のシフトレジスタ形成領域
 43, 53 . . . A系列のクロック信号線 (第1のクロック信号線)
 44, 55 . . . B系列のクロック信号線 (第2のクロック信号線)
 45, 65, 75, 85 . . . アナログスイッチ部

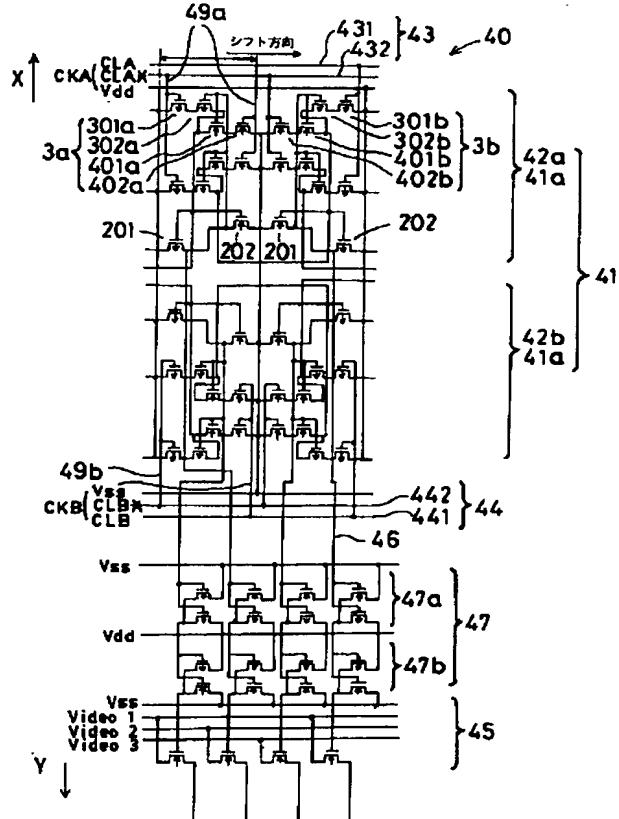
10 *

* 46, 66, 66a, 66b, 76, 86 . . . ビット信号出力線
 47, 67, 77 . . . バッファ回路
 49a, 49b, 59a~59d, 79a, 79b, 89a, 89b . . . クロック信号入力線
 51c . . . C系列のシフトレジスタ (第1のシフトレジスタ)
 51d . . . D系列のシフトレジスタ (第2のシフトレジスタ)
 54 . . . C系列のクロック信号線 (第1のクロック信号線)
 56 . . . D系列のクロック信号線 (第2のクロック信号線)
 83, 84, 92~95 . . . クロック信号線

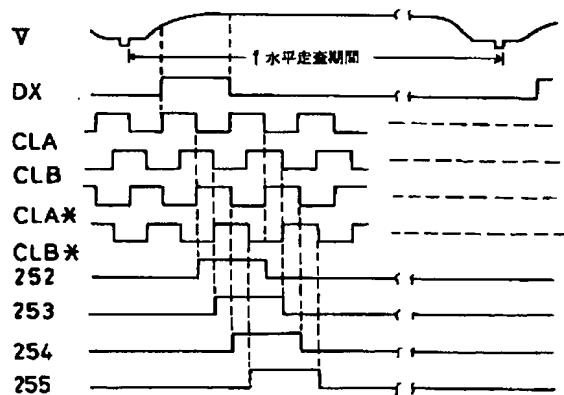
【図1】



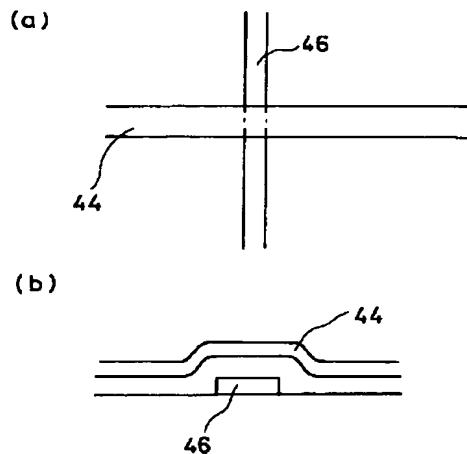
【図2】



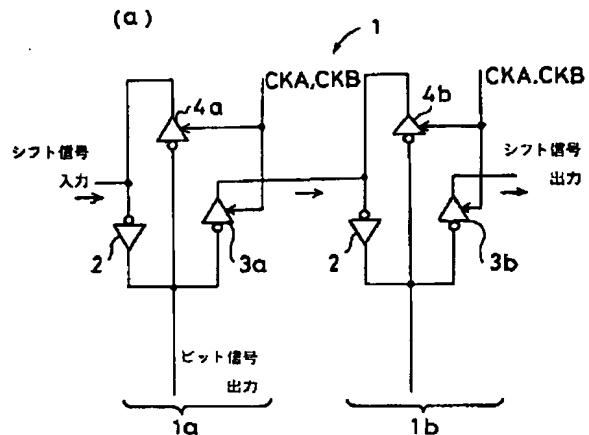
【図5】



【図3】



【図4】



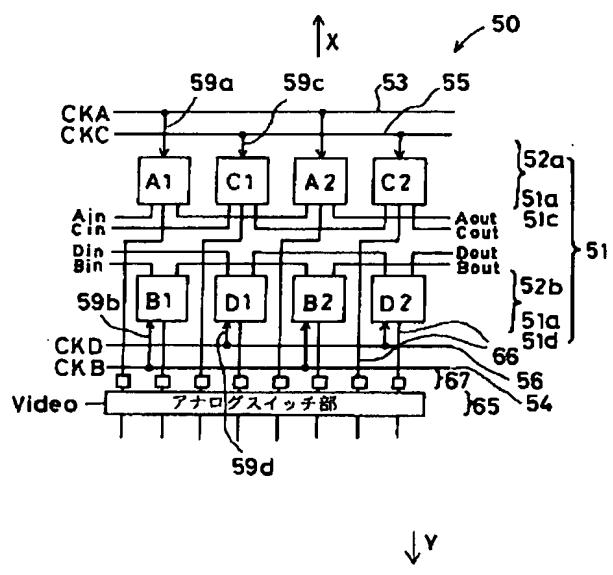
(c)

(b) Internal structure of the inverter. It consists of a PMOS transistor (201) with its drain connected to the output and source connected to the input, and an NMOS transistor (202) with its drain connected to the input and source connected to ground. The output of the PMOS is connected to the input of the NMOS.

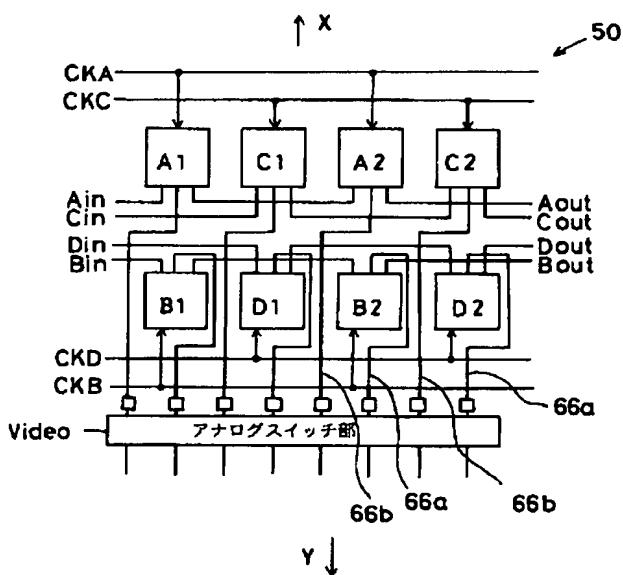
(c) Internal structure of the inverter. It consists of a PMOS transistor (301a) with its drain connected to the output and source connected to the input, and an NMOS transistor (302a) with its drain connected to the input and source connected to ground. The output of the PMOS is connected to the input of the NMOS. The input is also connected to the CLB (CLB*) through a transmission gate (3a, 4a).

(d) Internal structure of the inverter. It consists of a PMOS transistor (301b) with its drain connected to the output and source connected to the input, and an NMOS transistor (302a) with its drain connected to the input and source connected to ground. The output of the PMOS is connected to the input of the NMOS. The input is also connected to the CLB (CLB*) through a transmission gate (401a, 402a).

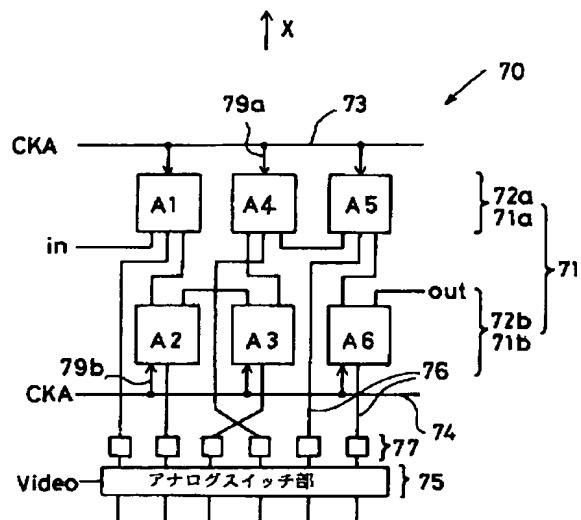
【図6】



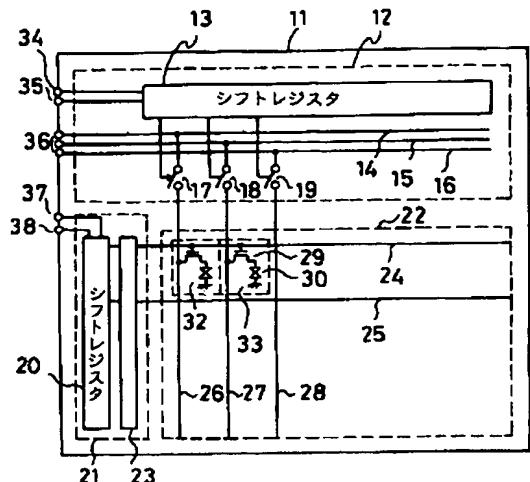
【図7】



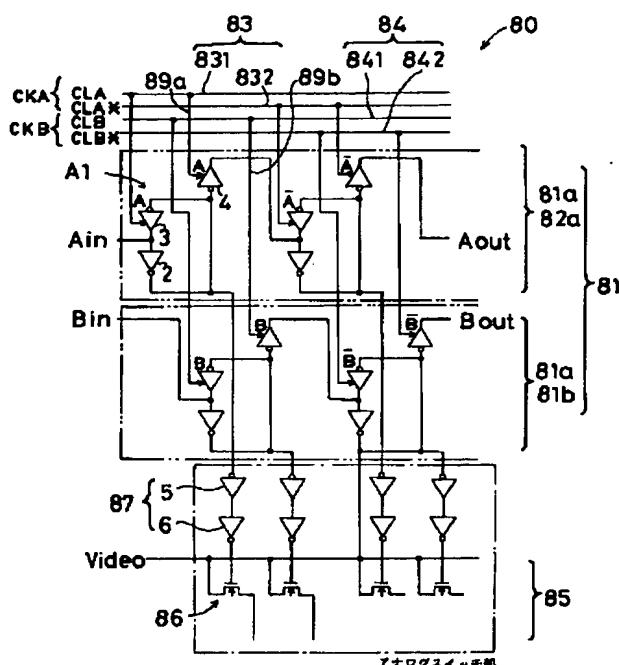
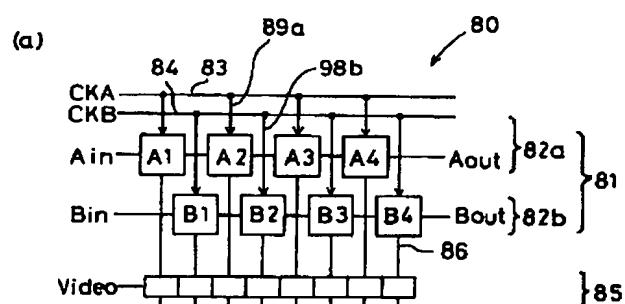
【図8】



【図9】



【図10】



(b)



【図12】

